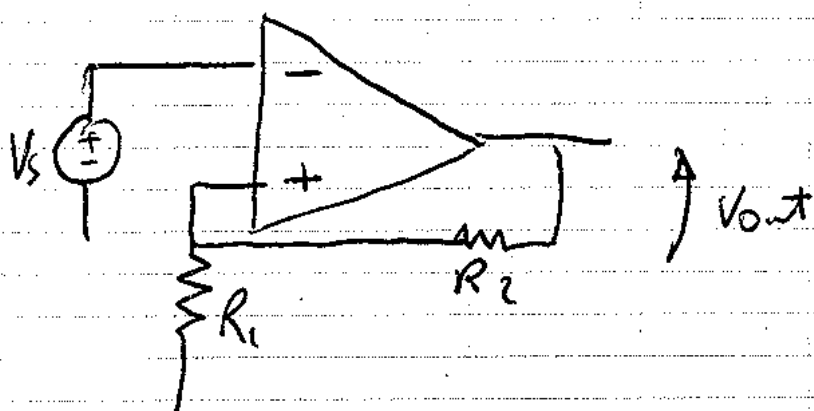
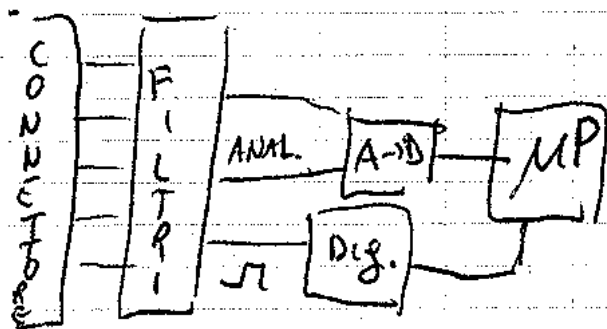


Comparator con isteresi (invertenti)

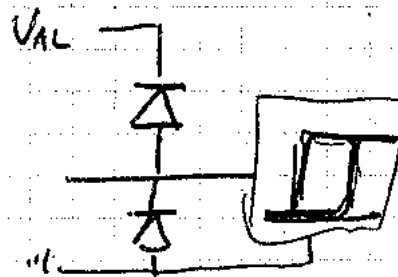


Amplitude isteresi dipende dal rapporto  $R_2:R_1$

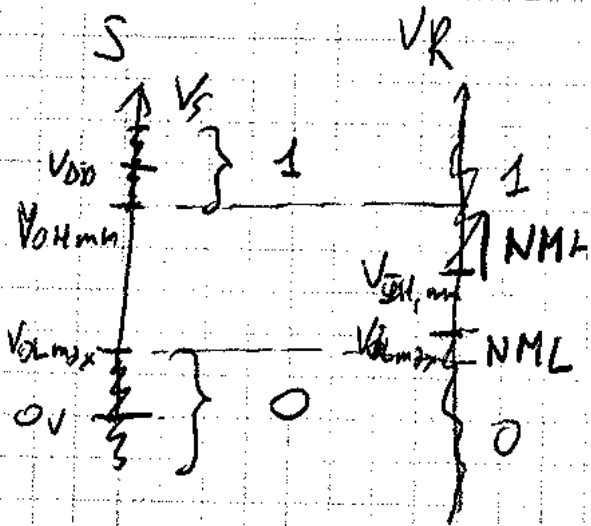
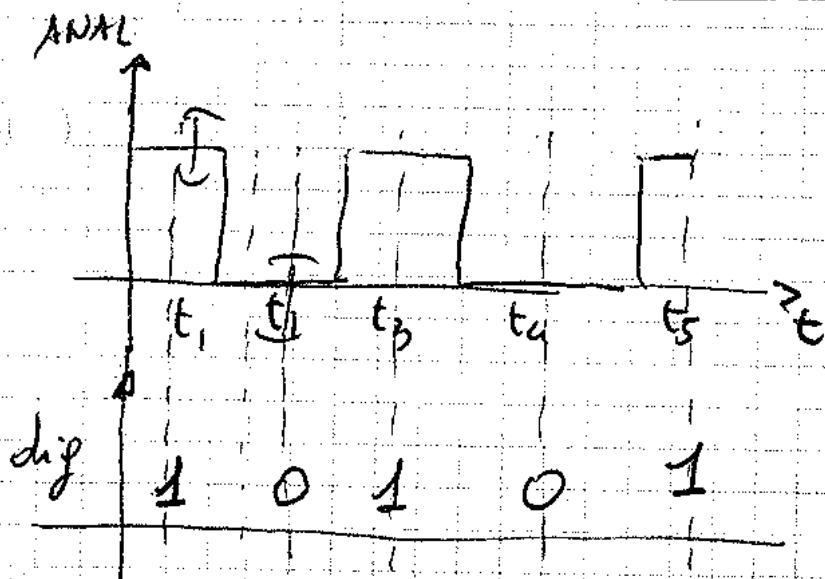
## UNITÀ ELETTRONICA



Protezione da sovvertensioni:



# CIRCUITI DIGITALI



$$V_{ILmax} > V_{OL,max}$$

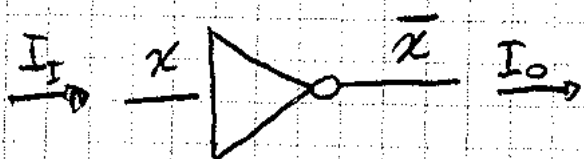
$$V_{OH,min} < V_{IH,min}$$

$$N_{HH} \equiv V_{OH,min} - V_{IH,min}$$

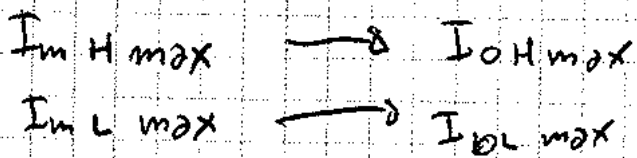
$$N_{ML} \equiv V_{IL,max} - V_{OL,max}$$

maggiore sono  $N_{HH}$  e  $N_{ML}$  tanto maggiore è la capacità del ricevitore di accettare il rumore.

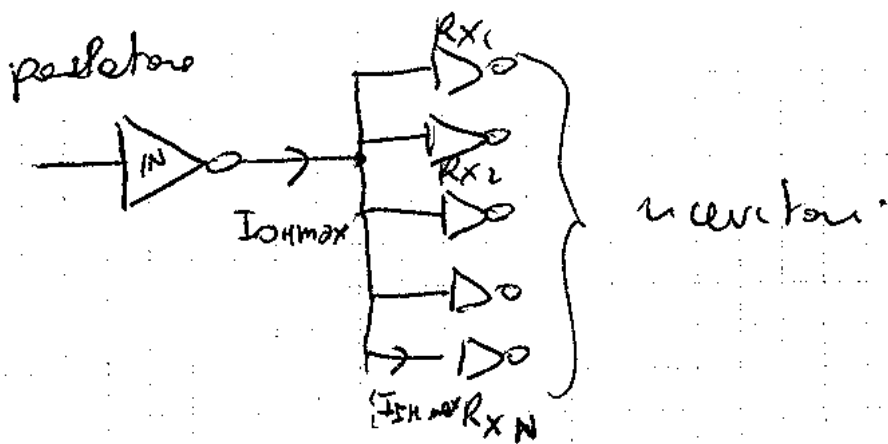
## (PORTE) BLOCCHI LOGICI



IMP	OUT
0	1
1	0



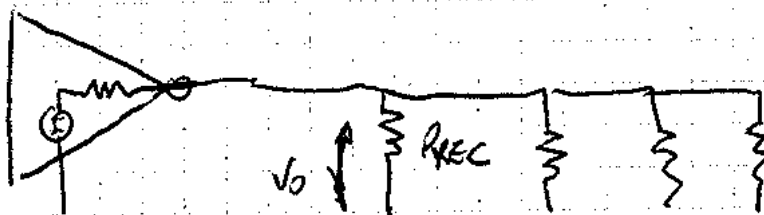
valore corretto per porte logiche.



$$I_{OHmax} > \sum_{i=1}^n I_{IHmax}$$

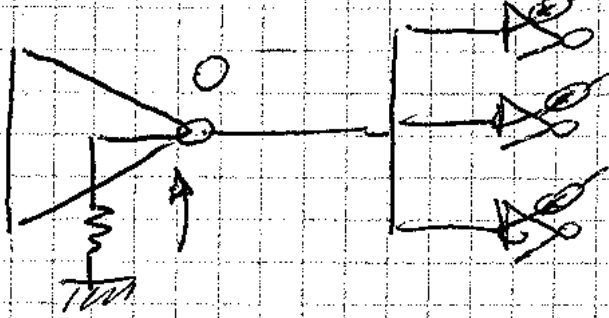
Il massimo numero di porte che possono essere pilotate da una porta logica è detto "FAN OUT"

Se ho un numero di porte maggiore del FAN OUT

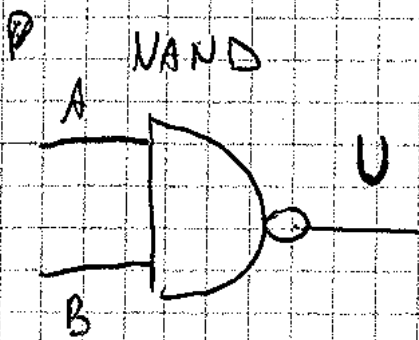


aggiungo resistenze  $V_O$  scende fino a scendere oltre  $V_{OHmin}$

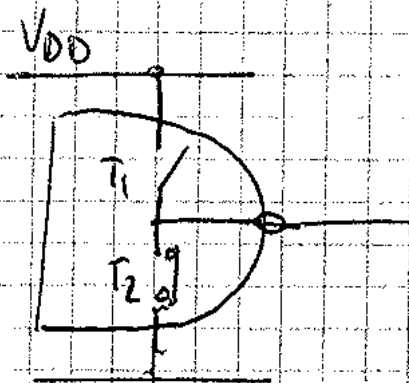
Se potrebbe usare il portatore di logica

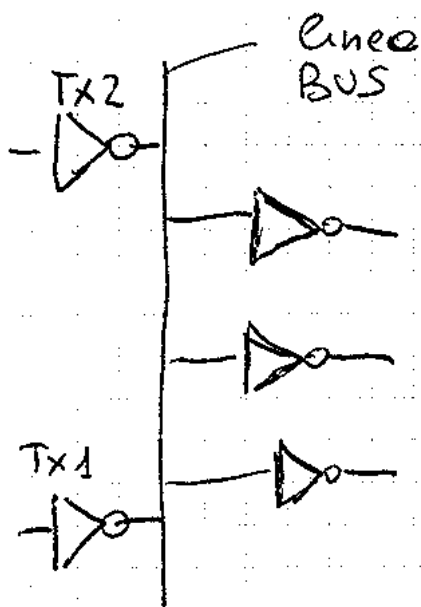


Le correnti dei transistor fanno aumentare  $V_{OLmax}$  e poi anche  $V_{ILmax}$  e di ha nel funzionamento.

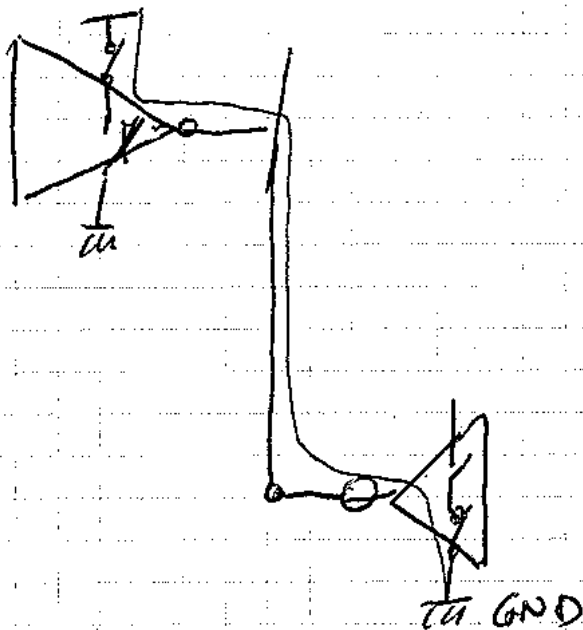


Ciruito di uscita e fatto con "STADIO di USCITA TOTEM POLE"



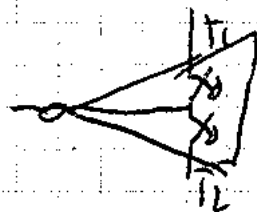
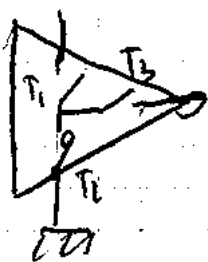


Supponiamo il caso in cui TX2 vuole il bus a livello logico alto, mentre il TX1 vuole il livello logico basso

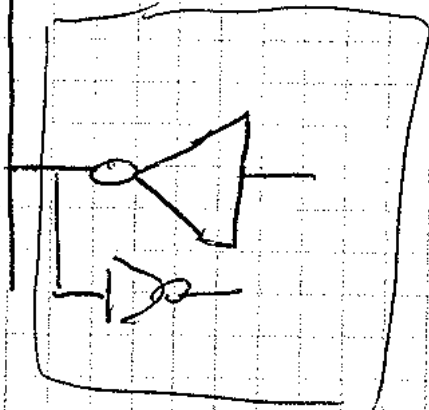


Problema del TOTEM POLE con 2 transistor se uno vuole ap. MAX e uno MIN si ha corto circuito verso massa

Si possono utilizzare TOTEM POLE se c'è 1 solo perceptor  
 Alternative (transistor a 3 stati)

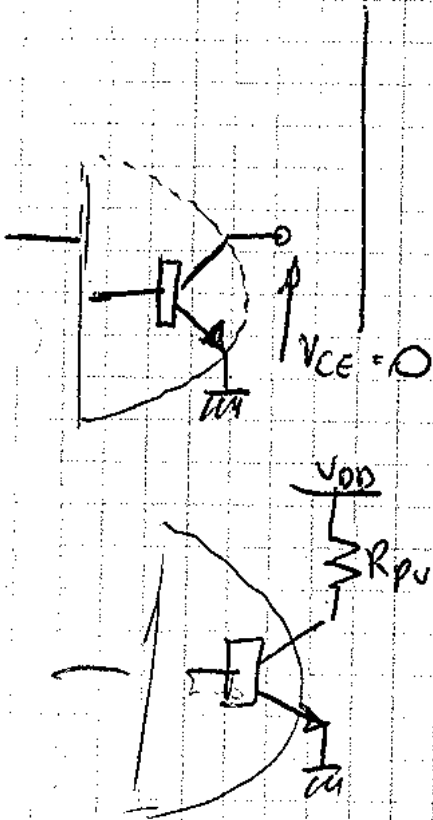


# Circuito di I/O



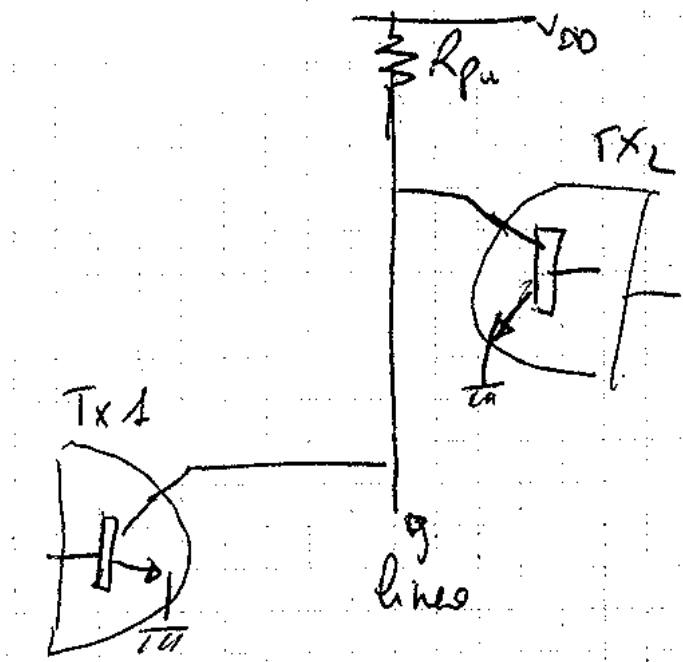
Si possono utilizzare dei trasmettitori  
 OPEN COLLECTOR o OPEN DRAIN

DRAIN VDD



## OPEN COLLECTOR

Ha bisogno di resistenza  
 $R_{pu}$  (resistenza di Pull up)



Tx1	Tx2	Lim
0	0	1
1	0	0
0	1	0
1	1	0

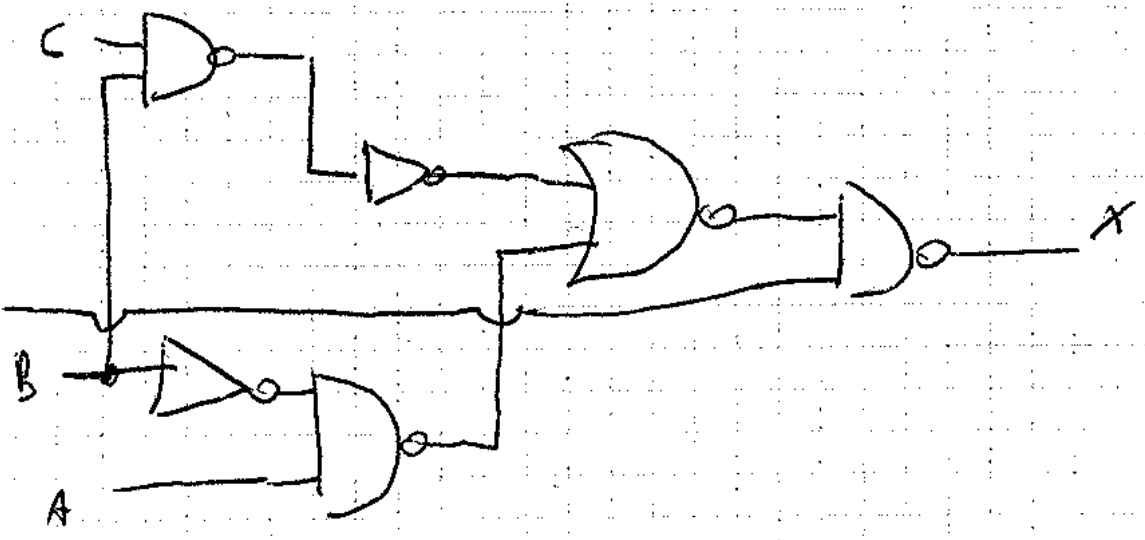
NOR

WIRED - NOR (OR) } logica cablata  
 immaginaria di valori

$$\bar{Y} = \underline{F} \bar{X}$$

} circuiti con logica combinatoria (pura di memoria)

Prestazioni dinamiche circuiti logici



$$\begin{bmatrix} A=0 \\ B=0 \\ C=1 \\ D=0 \end{bmatrix} \quad t < t_0$$

$$\xrightarrow{t=t_0} \begin{bmatrix} 0 \\ 1 \\ 1 \\ 0 \end{bmatrix}$$

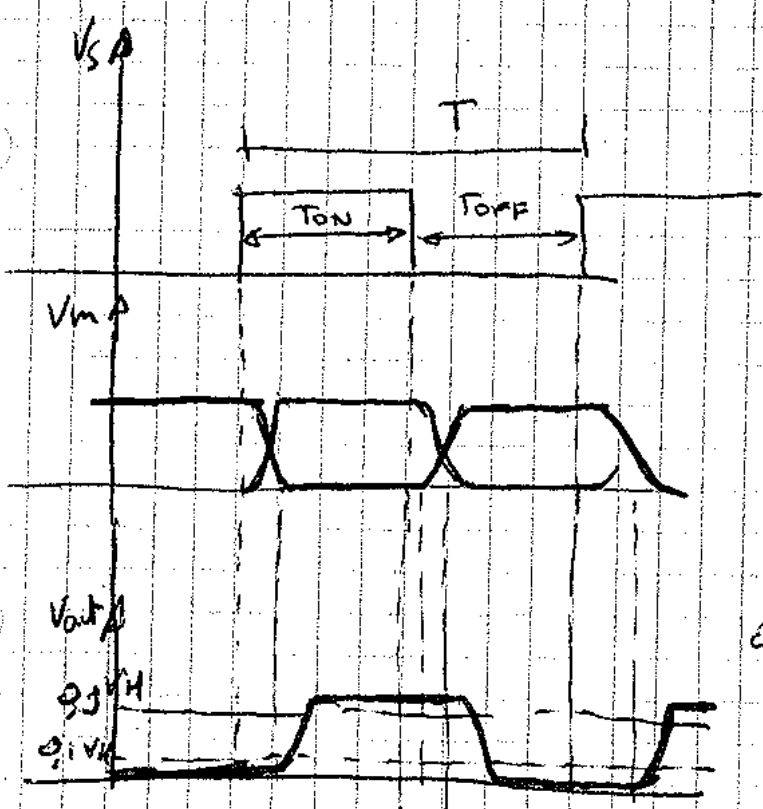
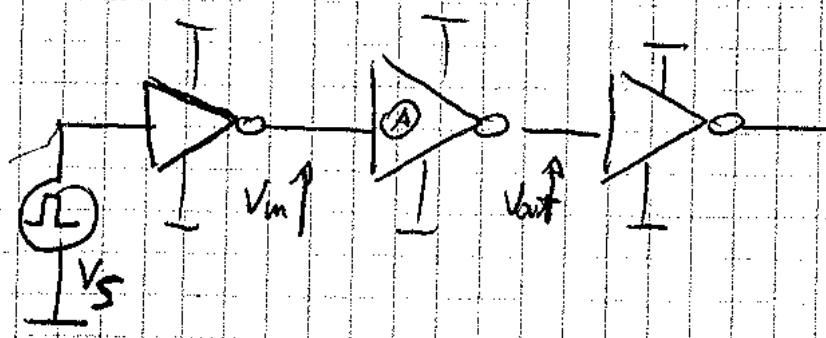
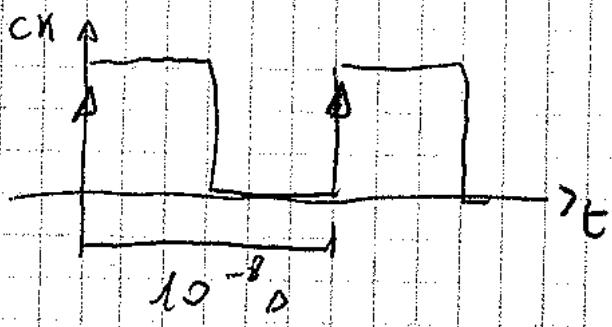
il segnale pi' veloce mette del tempo (t) per essere elaborato

in questo caso B ci mette  $4\tau$  ed  
 essere elaborato,  $\{$  no parte logica

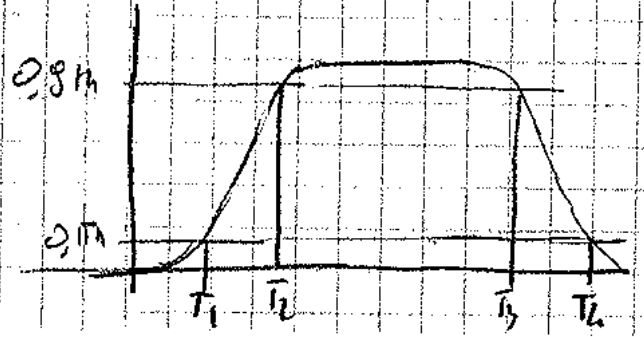
(57)

PARAMETRI DINAMICI FAMIGLIE LOGICHE

esempio:  $f_{clk} = 100 \text{ MHz}$



$$DC = \frac{T_{ON}}{T}$$

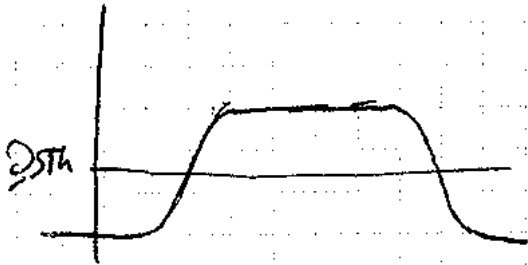




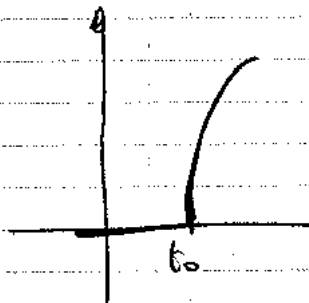
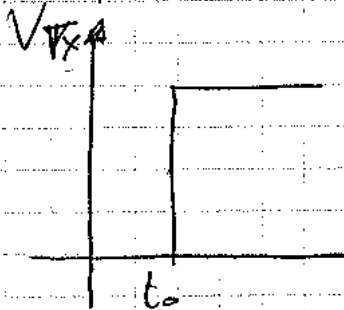
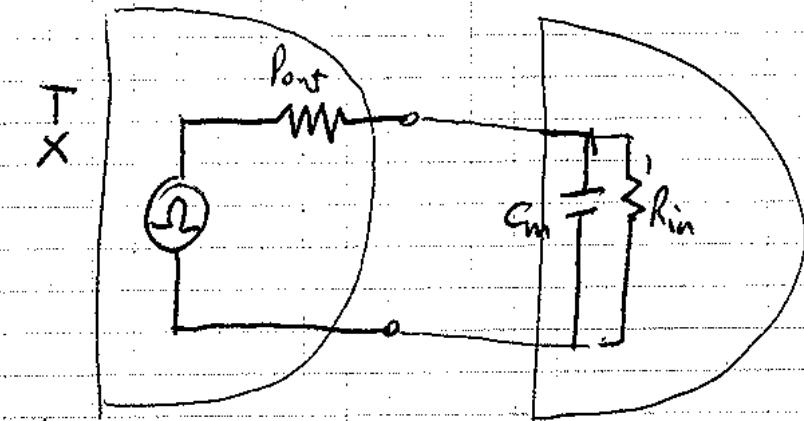
$$T_R = T_2 - T_1$$

$$T_F = t_a - t_3$$

in generale  $T_R \neq T_F$



$$T_D = \frac{T_R + T_F}{2} \quad \text{tempo di ritardo}$$



$$\tau = (R_{out} || R_m) C_m$$

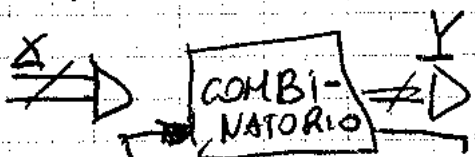
## SISTEMI A DIGITALE

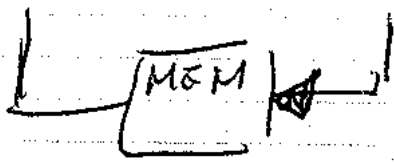
combinatorio  
(quasi istant.)

sequenziale

- Sequenziale (datato di memoria)

in generale un sistema sequenziale è composto

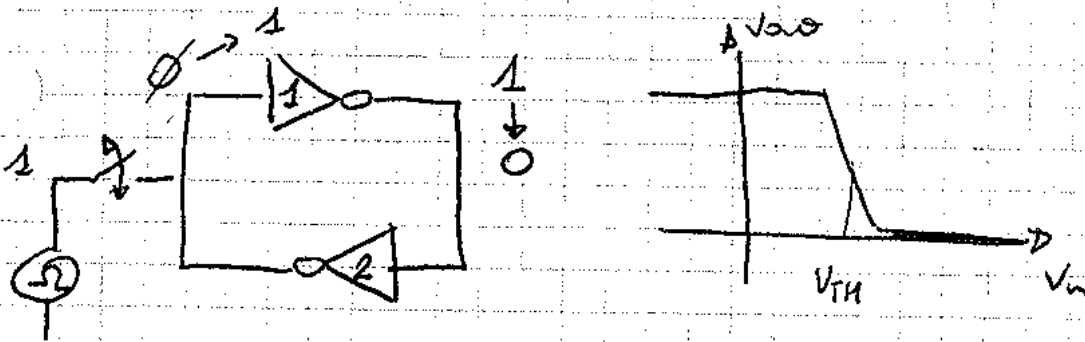




Quello precedente è detto macchina a stati logici

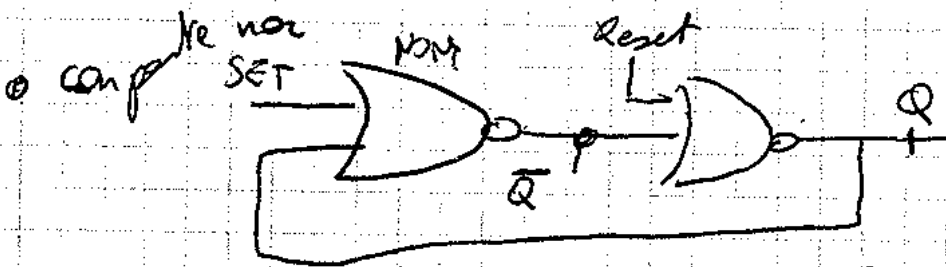
Tipi di memorie

• memorie elementari volatili



una volta aperto l'interruttore <sup>rimane</sup> ~~prende~~ stato. circuito bistabile.

• MEMORIE A SEMI CONDUITTORE



$\bar{Q} = Q$  negato

FLIP-FLOP (tipo Set-Reset)

A	B	OR	NOR
0	0	0	1
0	1	1	0
1	0	1	0
1	1	1	0

Supponiamo  $Q=0$

Set	Reset	Q	$\bar{Q}$
0	0	0	1
0	0	1	0

entrambi possibili.

Conditione  $S=0, R=0$  è condizione di memoria

S	R	Q	$\bar{Q}$
0	1	0	1
0	1	1	0

← unico possibile  
 NO!  
 $1-0 \Rightarrow 0$  quindi non giusto

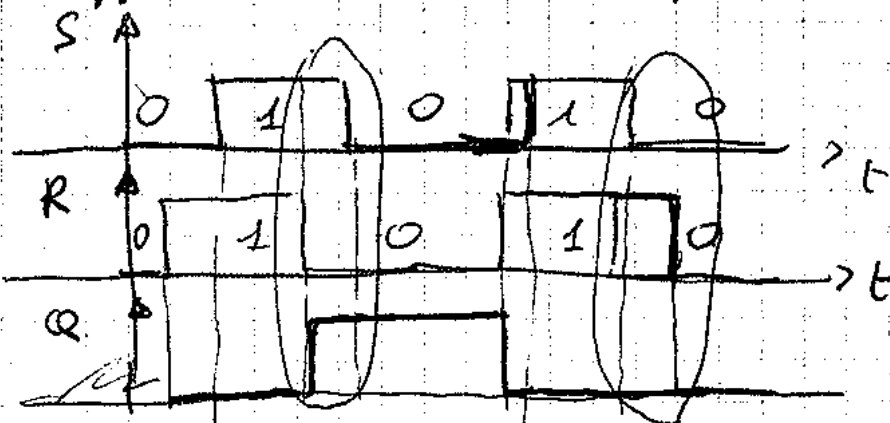
S	R	Q	$\bar{Q}$
1	0	1	0

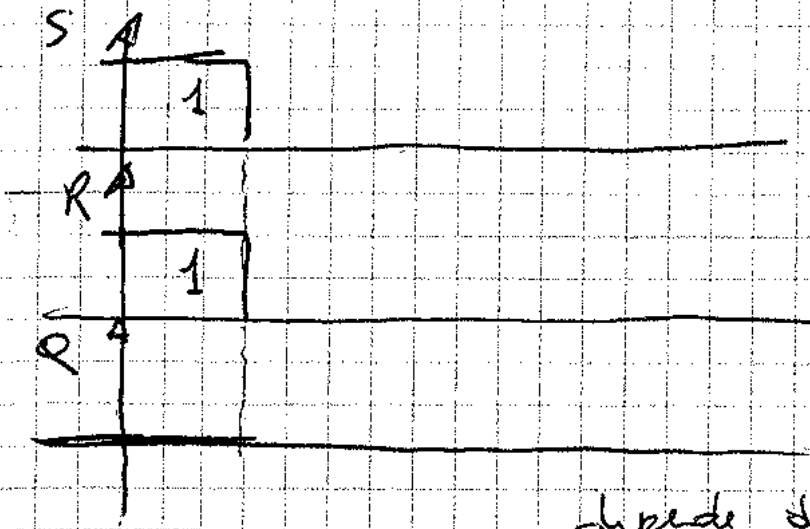
unico caso possibile

S	R	Q	$\bar{Q}$
1	1	0	0

← stato vietato

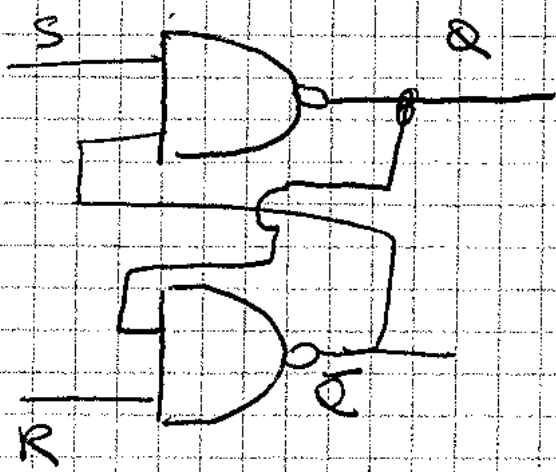
Supponiamo di voler passare da 1-1 a 0-0





Qual è il valore di Q?  
 dipende da chi commuta x prima!

Esistono anche i flip flop SR basati su porte NAND



Simbolo in schemi elettrici:



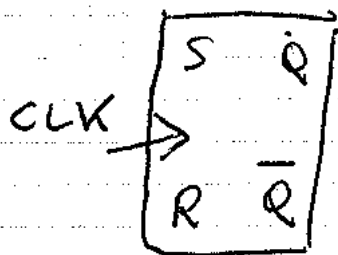
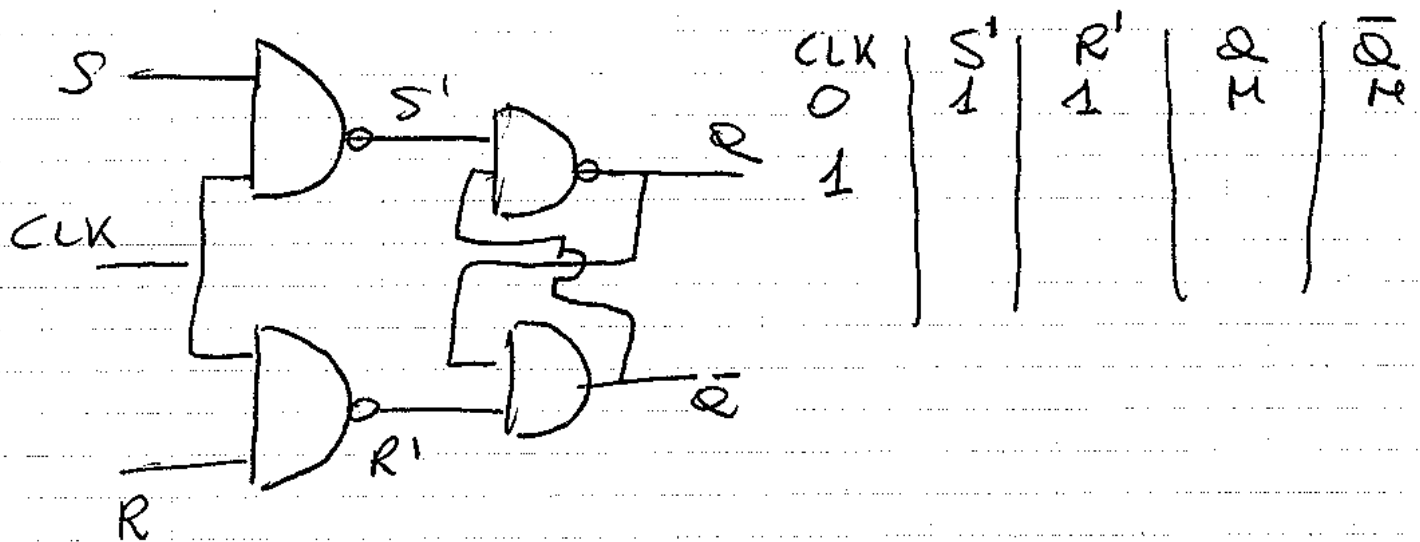
tabella di verità:

S	R	Q	Q̄	
0	0	-	-	vietato
0	1	1	0	
1	0	0	1	
1	1	M	M	- memoria

Esistono circuiti che hanno la memorizzazione in base a tempi di clock. Sono detti macchine di tipo SINCRONO.

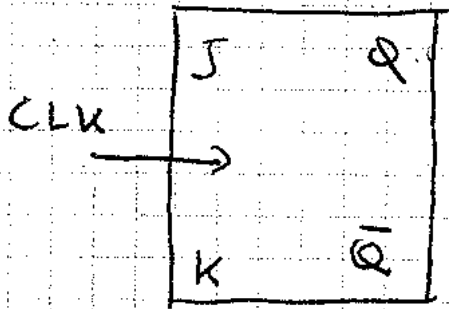
Esistono anche le macchine ASINCRONE in cui non si ha un orologio e non si hanno vincoli di memorizzazione.

### FLIP FLOP di tipo SINCRONO



la memorizzazione è legata al livello del clock e non alla transizione.

Sono stati introdotti i flip-flop di tipo JK (60)



memorizzazione alle transizioni del segnale di clock. Una sola tipo di transizione

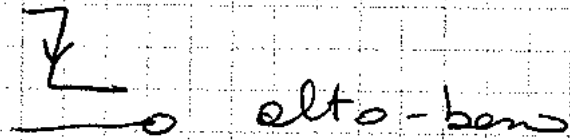
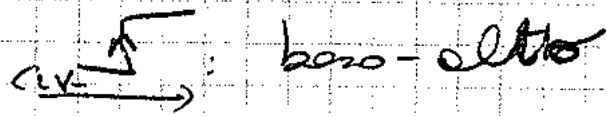
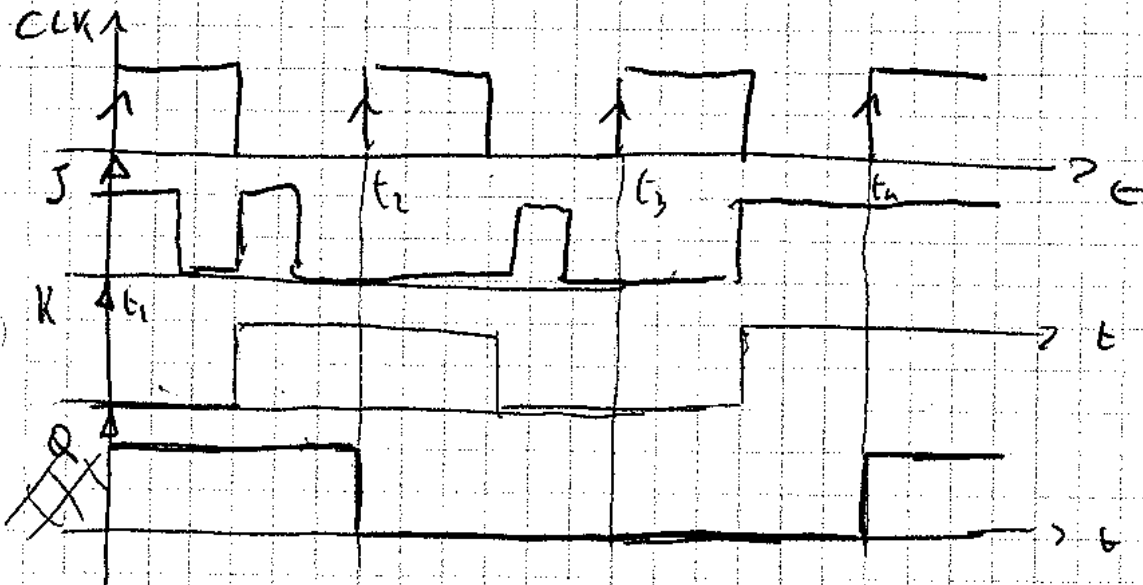
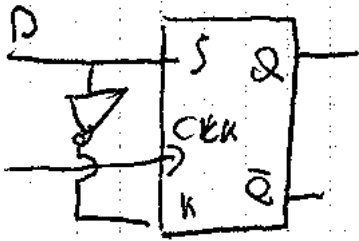


tabella di verità:

J	K	CLK	$Q_{n+1}$
0	0	$\uparrow$	$Q_n$
0	1	$\uparrow$	0
1	0	$\uparrow$	1
1	1	$\uparrow$	$\overline{Q_n}$



Se  $J=K=1$  viene negato lo stato precedente



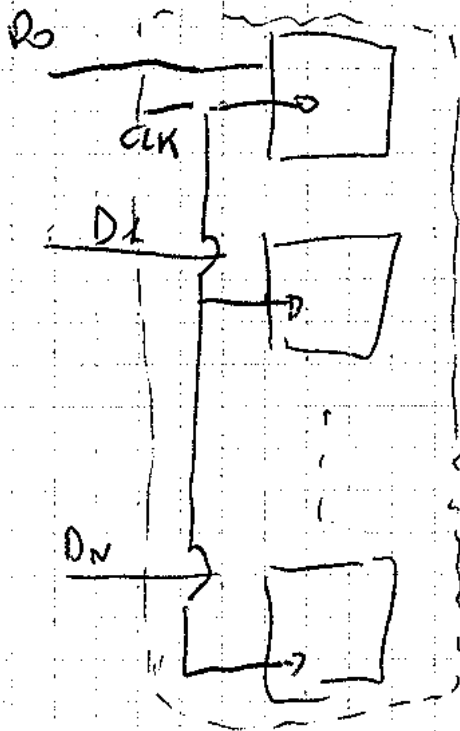
Si escludono i casi 00 e 11

Questo flip-flop è detto

JK di tipo D.

D	$Q_{next}$
0	0
1	1

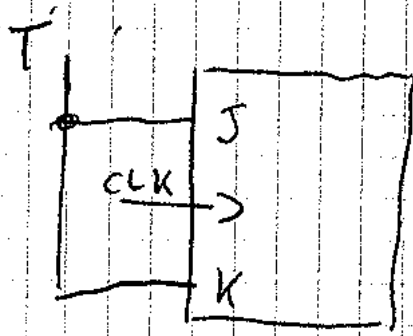
Il flip-flop di tipo D è alla base della costruzione dei circuiti binari



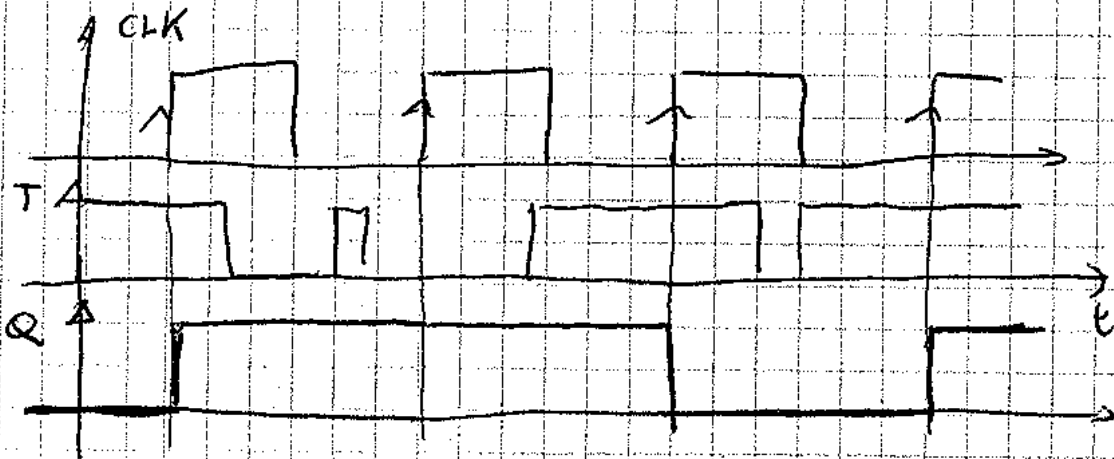
← Registro binario.

# FLIP-FLOP di tipo T (toggle)

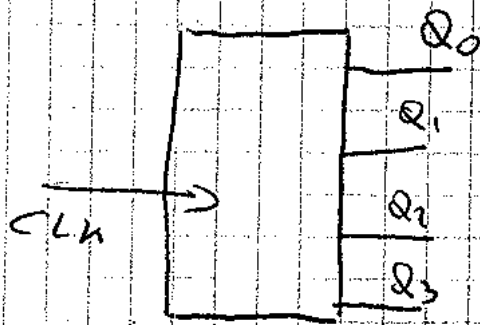
(61)



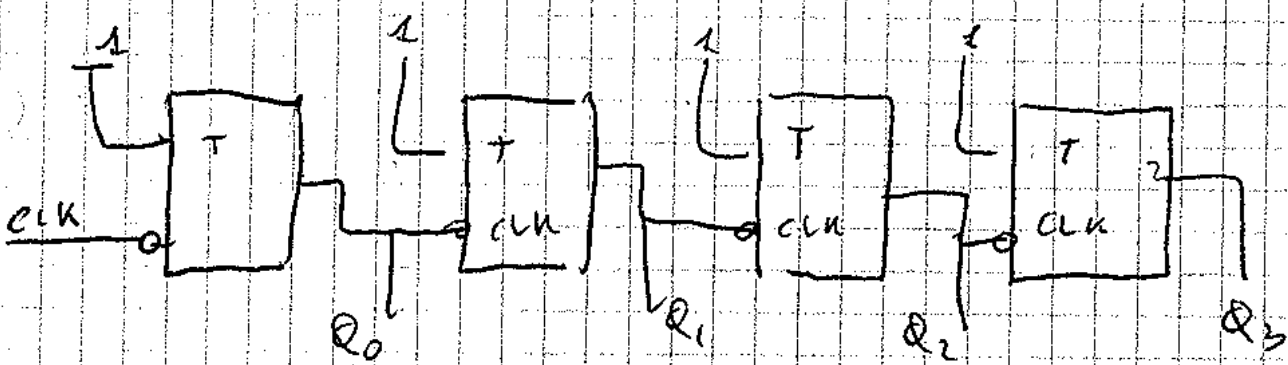
T	$Q_{n+1}$
0	$Q_n$
1	$\overline{Q_n}$



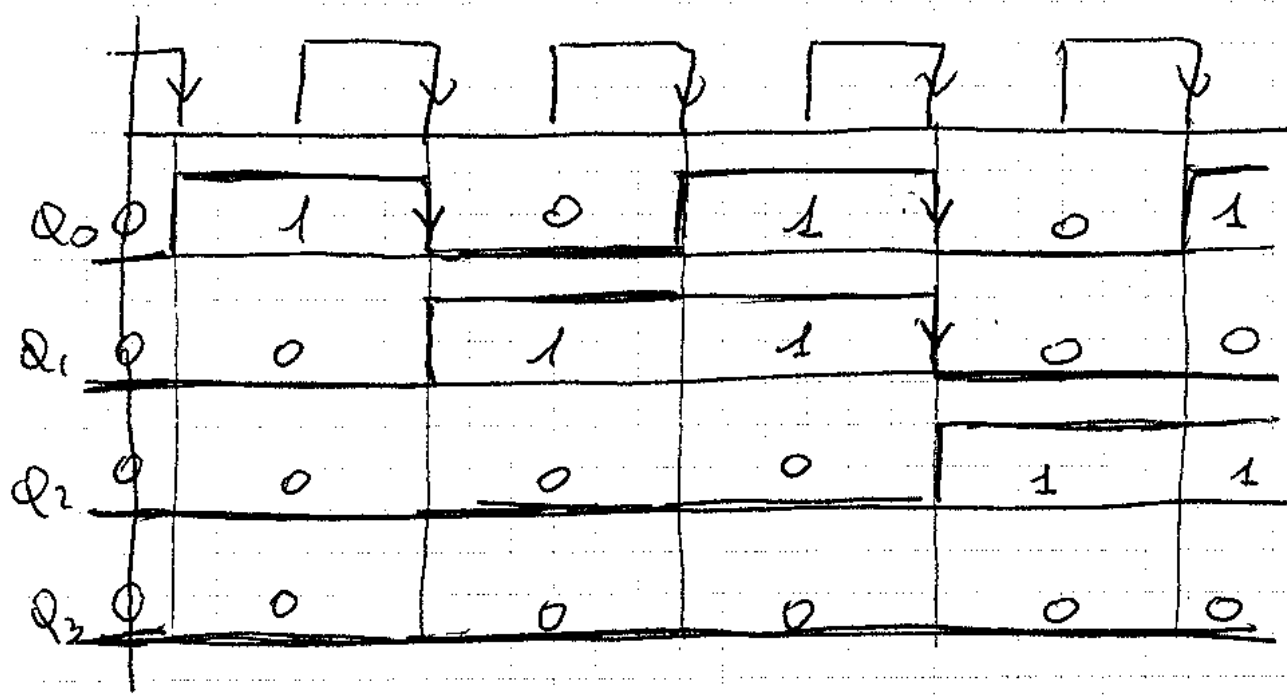
Vengono usati per realizzare dei contatori binari



$Q_3$	$Q_2$	$Q_1$	$Q_0$	CLK (Rec)
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
⋮	⋮	⋮	⋮	⋮
1	1	1	1	15



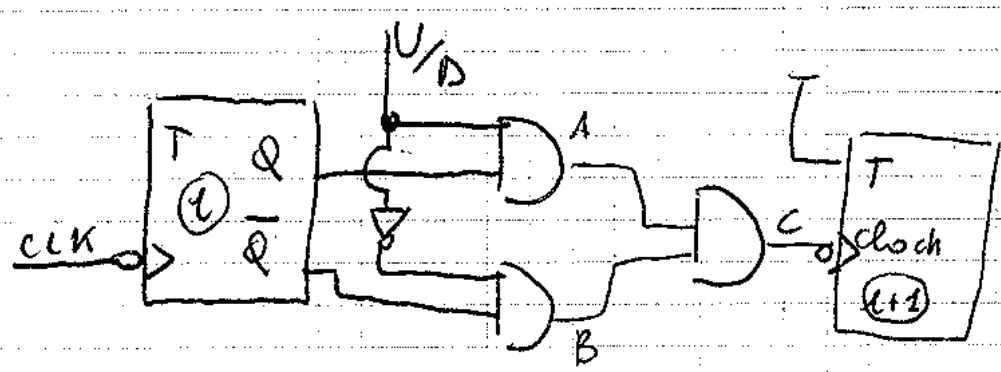




Ricordo che  $\rightarrow \downarrow$  CLK indica che si  
 usa il fronte in discesa del clk

Collegando il clock all'ingresso  $\bar{Q}$  otteniamo  
 un contatore alle rovesce.

### CONTATORI UP/DOWN



$$U/D = 1 \Rightarrow \begin{cases} A = Q \\ B = 0 \\ C = Q \end{cases}$$

$$U/D = 0 \Rightarrow \begin{cases} A = 0 \\ B = \bar{Q} \\ C = \bar{Q} \end{cases}$$

MEMORIE → Sequenziali (e. nastro magnetico)  
↳ Random (62)

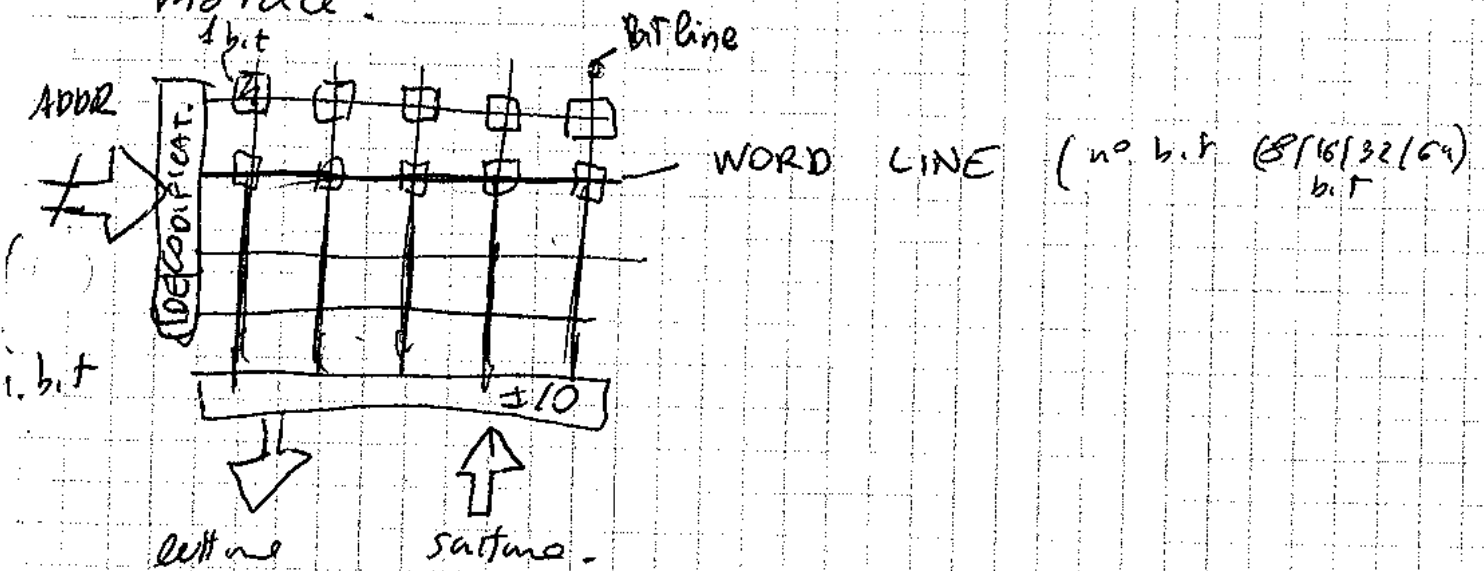
MEMORIE → VOLATILI (flp - flop) ram  
↳ NON VOLATILI (magnetici, rom, E<sup>2</sup> PROM, flash)

Caratteristiche delle memorie:

- velocità
- tempo di accesso al dato
- N° di uscite

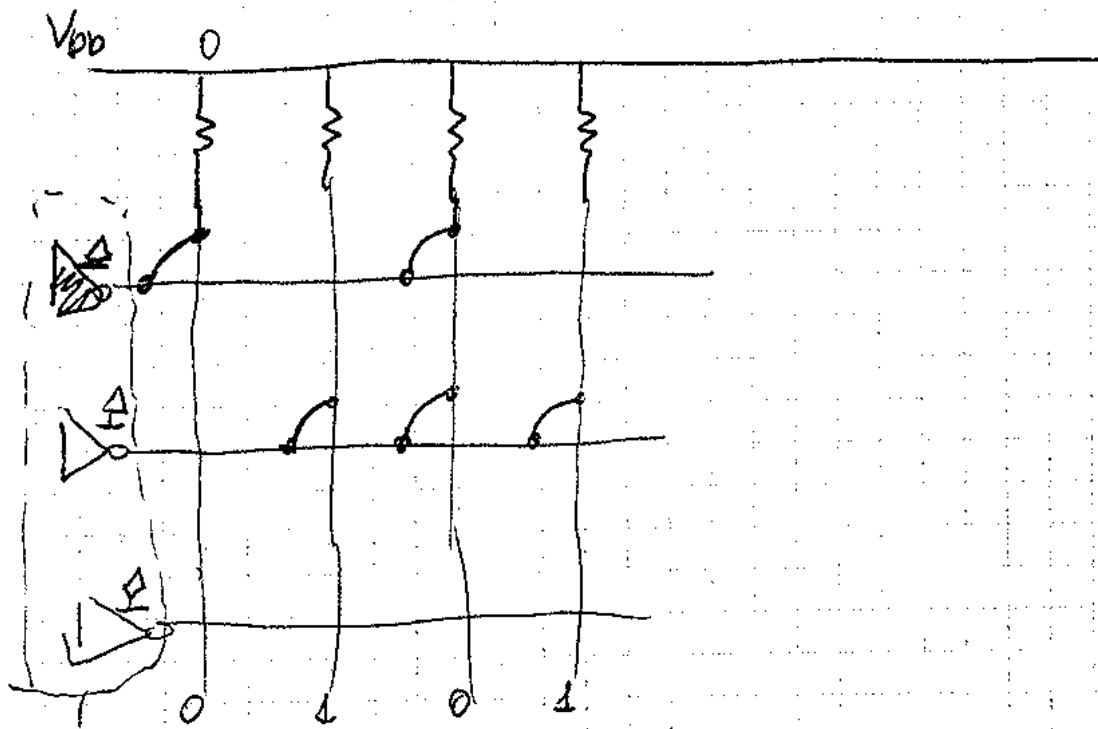
La maggior parte delle memorie sono ad accesso casuale e sono organizzate e

matrice.



### MEMORIE ROM

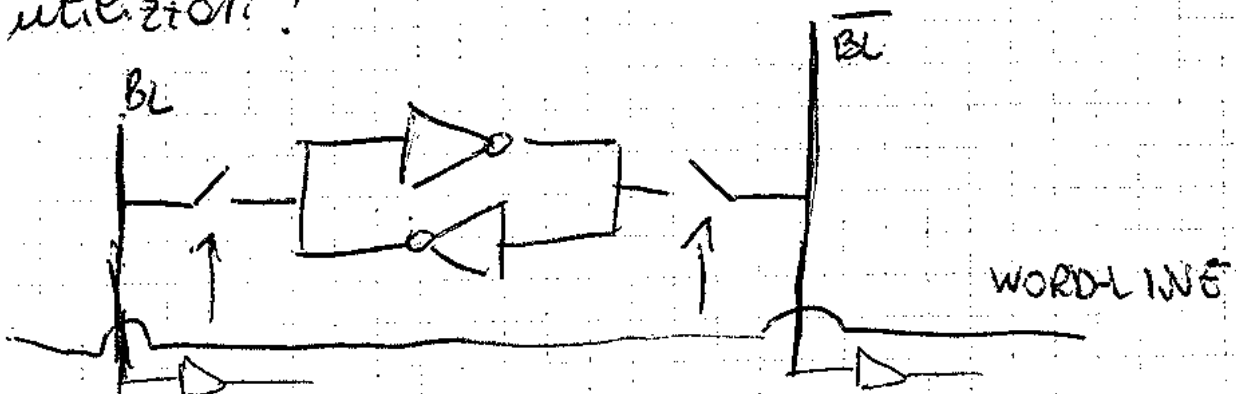
Memorie che possono essere scritte una sola volta e poi sono solo per lettura.



utilizzo  
di decodifica

Memorie: all'interno tra WORD LINE e BIT LINE c'è un elemento. Può essere collegamento metallico o porte logiche.

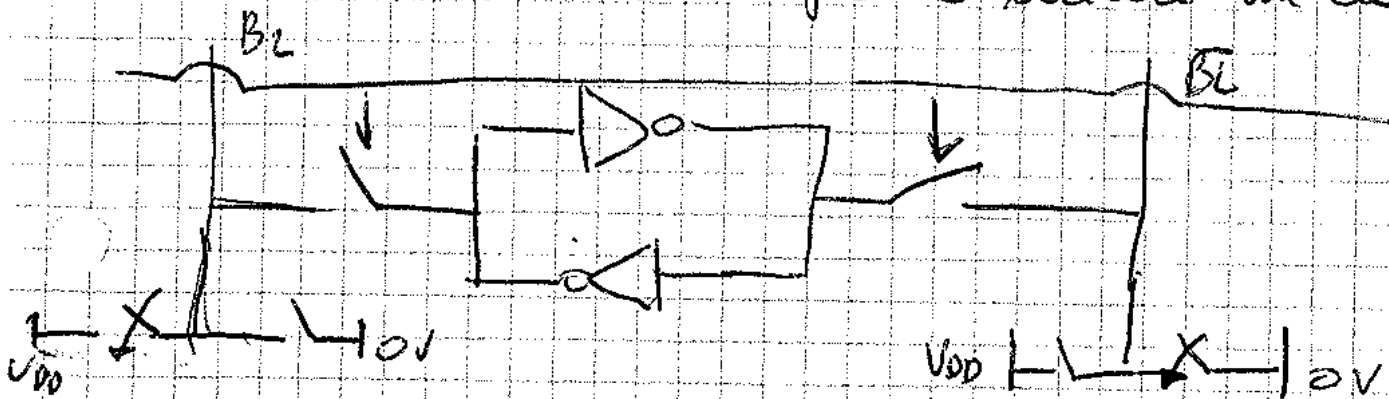
Elementi di memoria: come possono essere utilizzati?



Se WL è 0 interruttori chiusi elemento è in memoria  
Se WL è 1 allora gli interruttori si chiudono.

N.B. Si può attivare una sola WL per volta. Una volta che l'interruptore è chiuso la BL sono protette con lo stato delle memorie. (6)

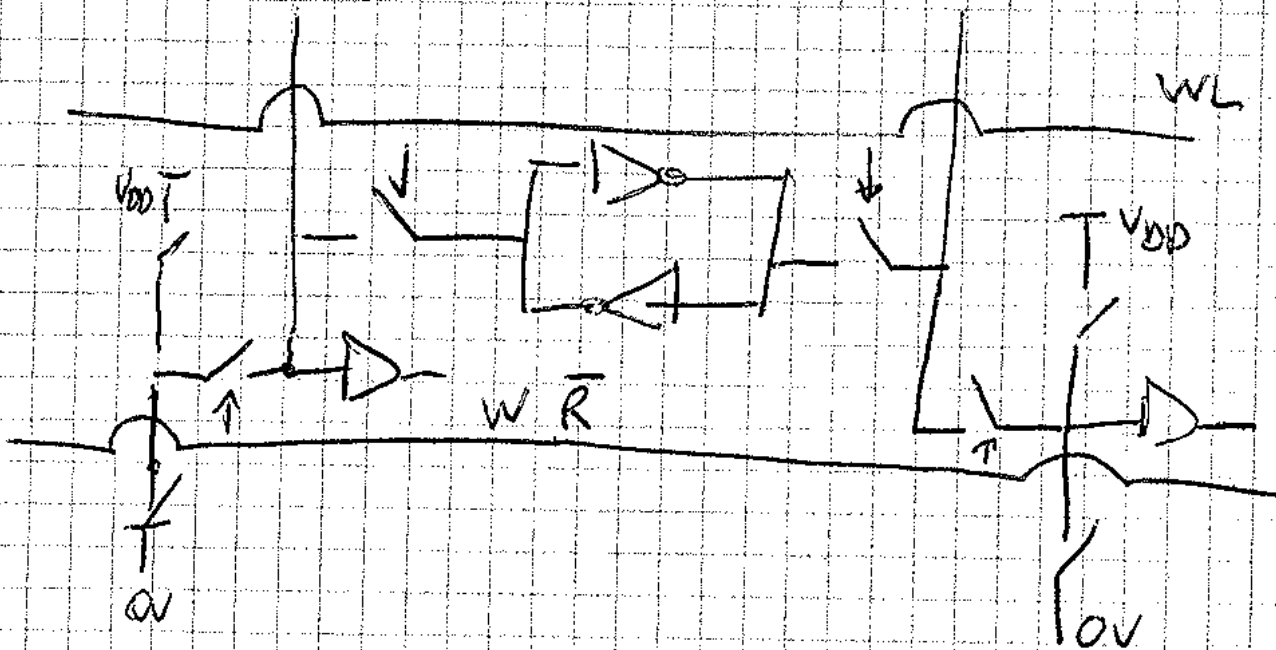
La memoria disegnata è la BL e la BL è la scrittura. Come si fa a scrivere un dato?



Supponiamo di voler scrivere un "1"

Attiviamo la WL e così si chiudono gli interruptori. A forza il valore "1".

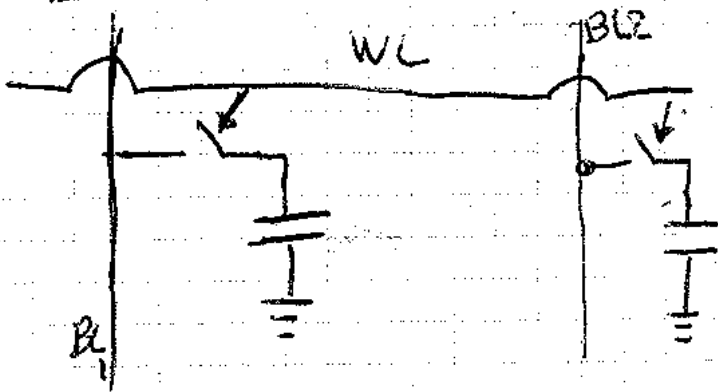
Circolo completo



$\overline{WR}$  segnale wake (read negato)

Questo tipo di memoria è detta  
RAM STATICA. Tiene l'informazione  
finché sono alimentate.

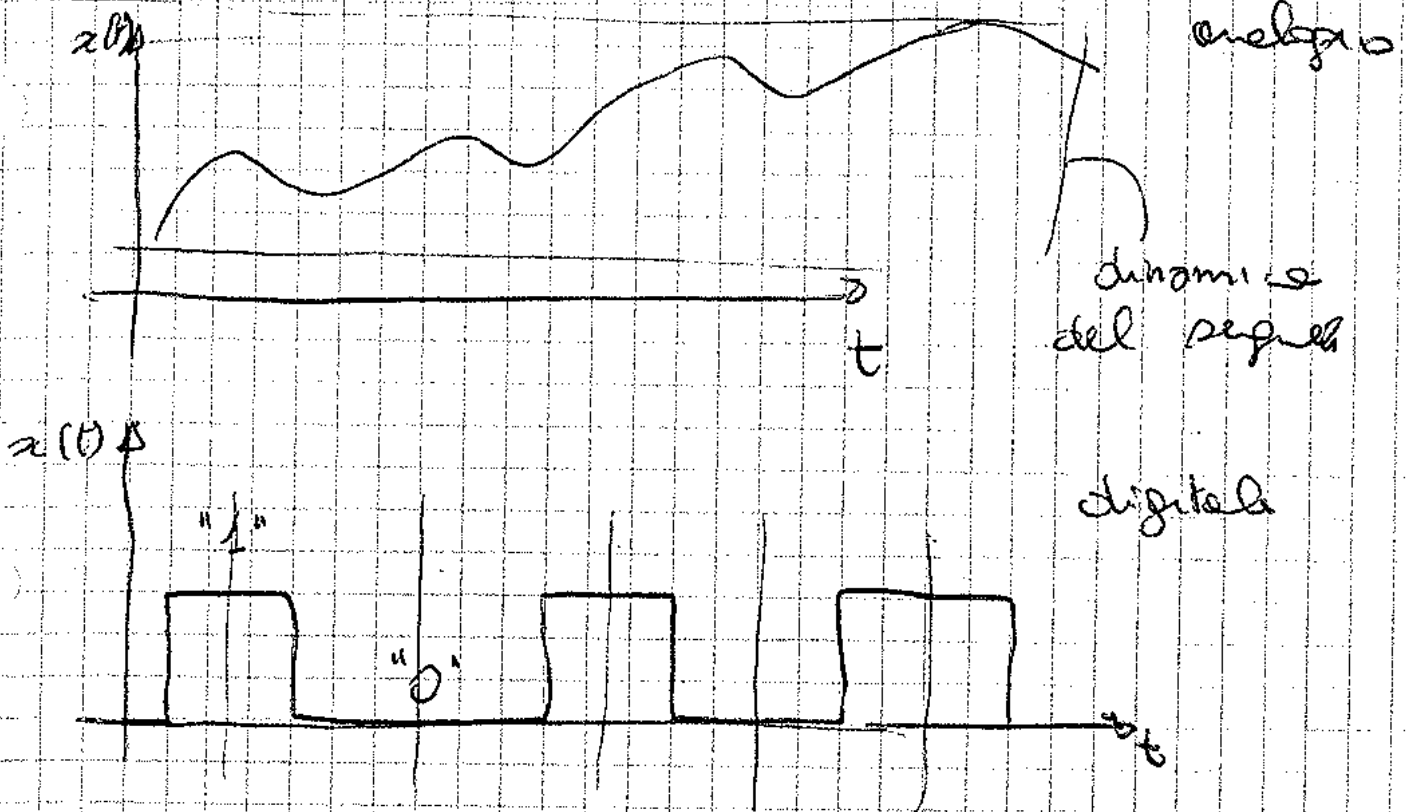
## MEMORIE DINAMICHE



Quando WL è indirizzata ~~legge~~ l'intermitta  
è chiuso e si legge la tensione sul  
condensatore. Le capacità sono di circa  
di 100 femto Farad. Ci sono minime correnti  
che possono scaricare il condensatore, che, avendo  
capacità minima, tende a scaricarsi. Le memorie  
hanno bisogno di essere rigenerate periodicamente.  
Inoltre la lettura di queste memorie è rigenerative.  
L'operazione di Refresh è una lettura che rigenera  
l'informazione.

# Conversione Digitale / Analogico e viceversa

(64)



Operazioni di discretizzazione nel tempo e nelle ampiezze

Discretizzazione nel tempo: "campionamento"

Discretizzazione nelle ampiezze: "quantizzazione"

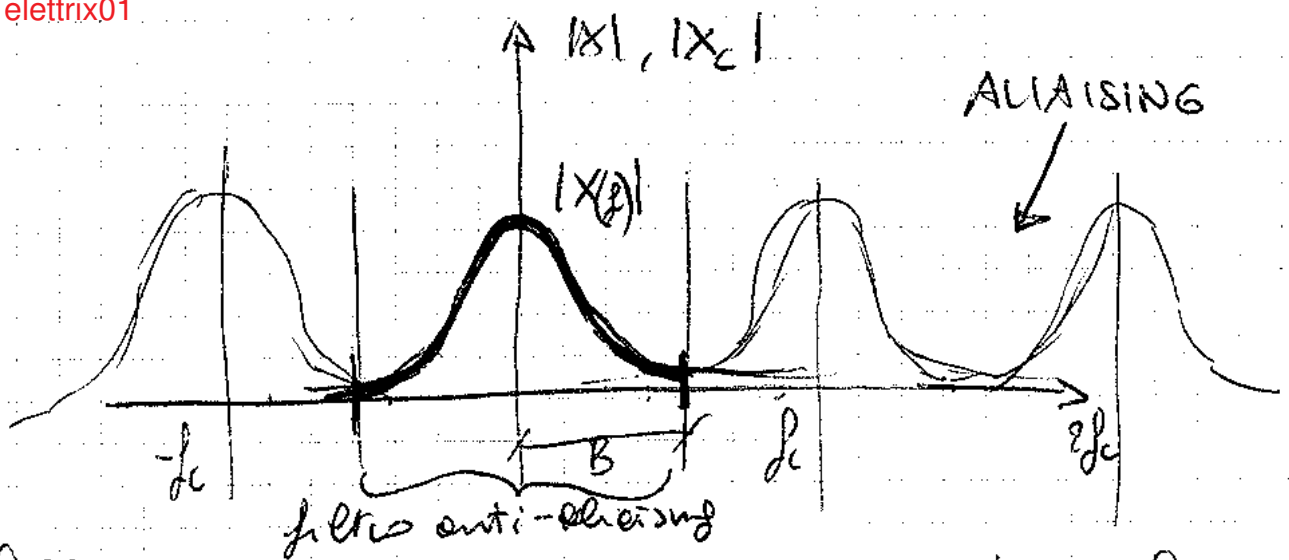
## Campionamento



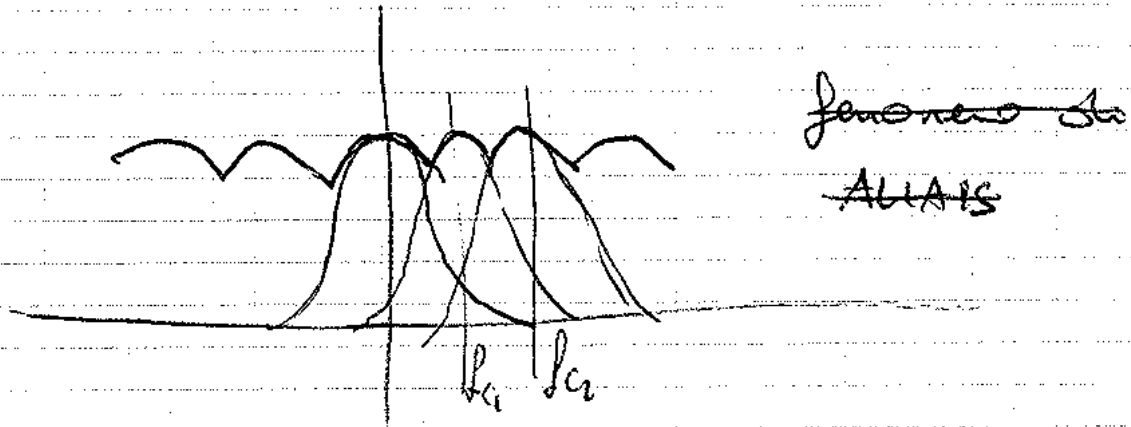
$$f_c = \frac{1}{T_c}$$

Teorema del campionamento

$$x(t) \rightarrow X(f) \quad x_c(t) \rightarrow X_c(f) = \sum_{n=-\infty}^{+\infty} X(f - n f_c)$$



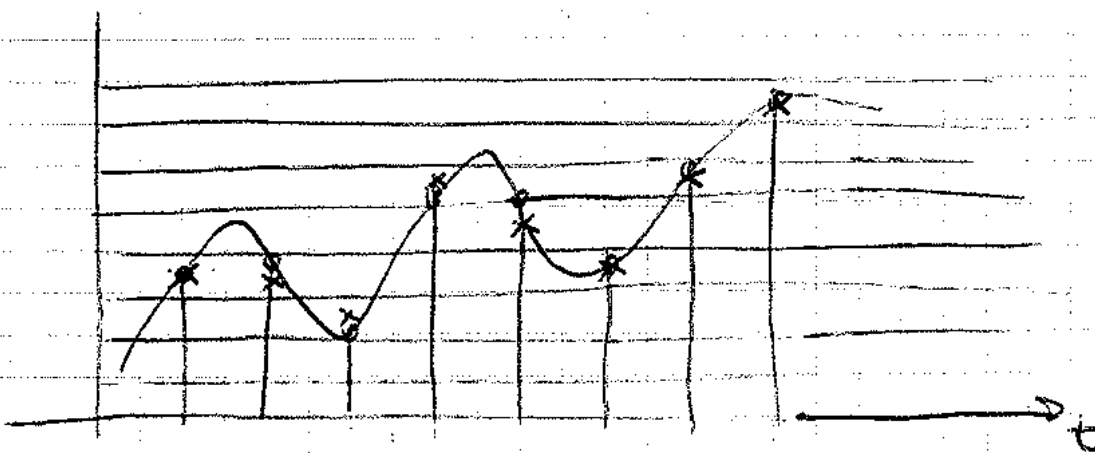
filtro il segnale campionato a bassa frequenza  
 e così riesco a risolvere all'originario.  
 Ma se  $f_c$  fosse troppo <sup>bassa</sup> grande



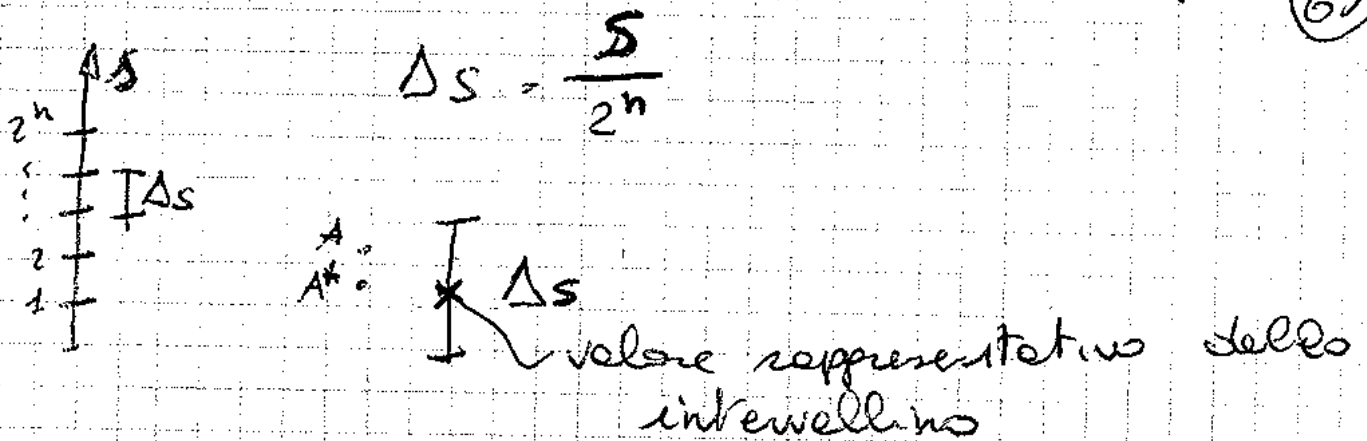
Si può ripushinare il segnale se

$f_c - B > B$       $f_c > 2B$      Teorema del Campionamento

Quantizzazione



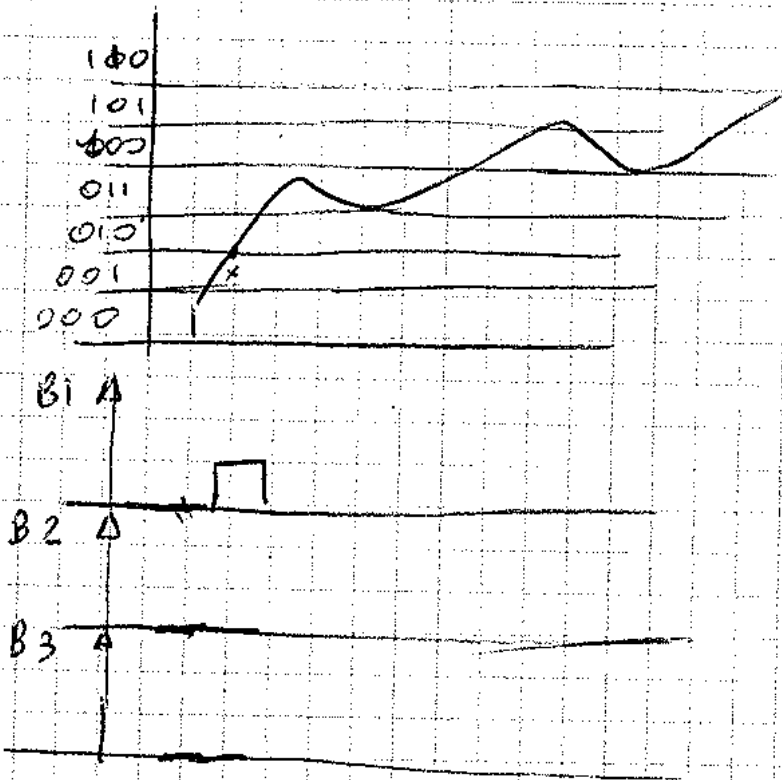
Approssimiamo il valore con il valor medio.  
 Quanto vale errore di quantizzazione? (65)



$E = (A - A^*)$     al max     $E = \frac{\Delta S}{2}$

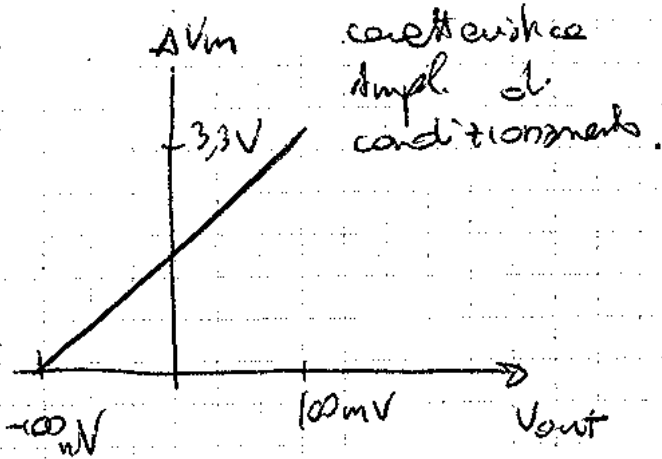
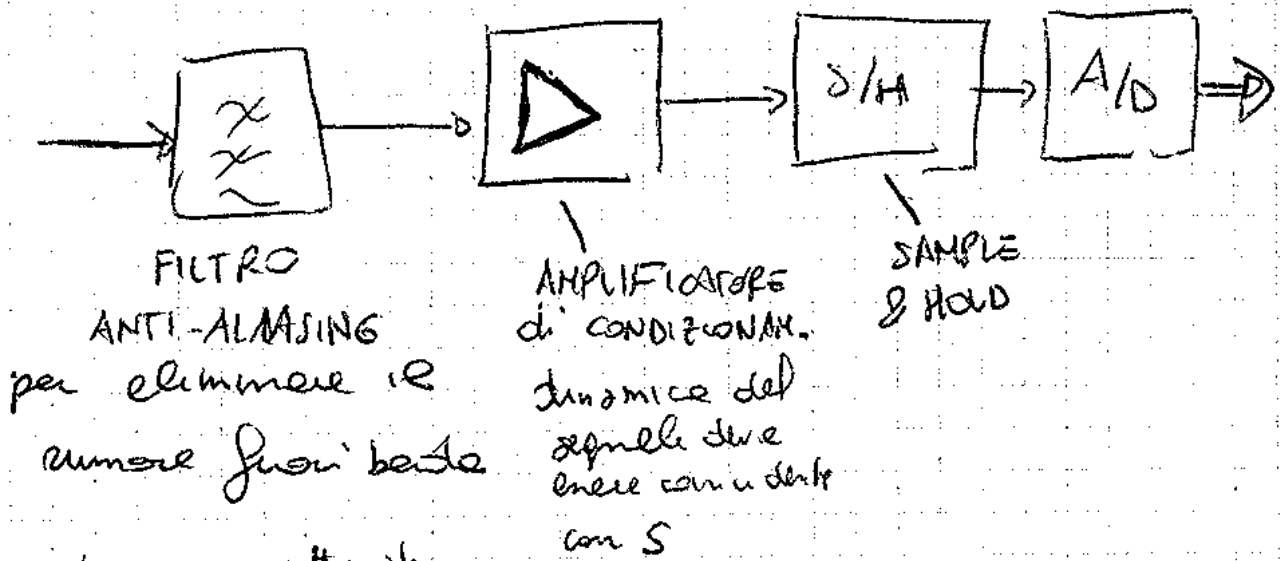
$|E| < \frac{S}{2^{n+1}}$

Una volta approx errore ad ogni intervallo  
 un numero binario.



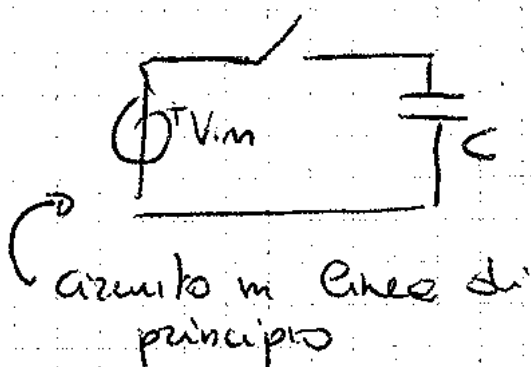


# Schema per conversione



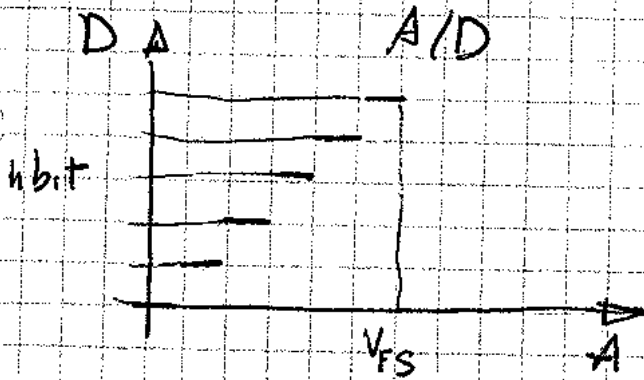
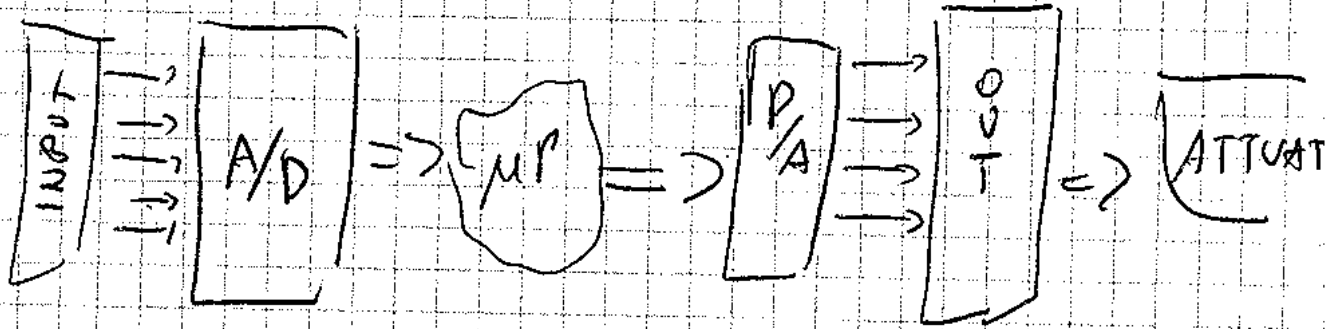
l'amplificatore <sup>bisogna</sup> tempo di acquisizione e di conversione del segnale -

**SAMPLE & HOLD** (comparatori e mantentore): viene attivato con frequenza pari a quella di campionamento. Perse il valore di campionamento e lo mantiene costante fino al campionamento successivo.



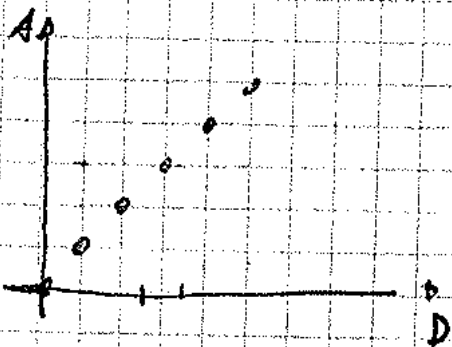
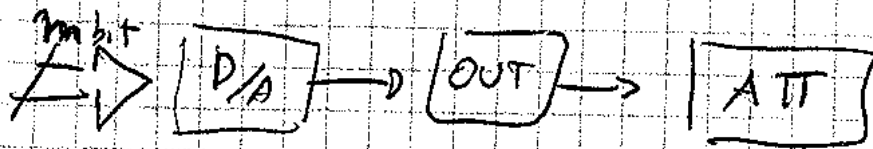
Quando è aperto il switch, la tensione su  $C$  rimane costante.

CONVERTITORI A/D e D/A



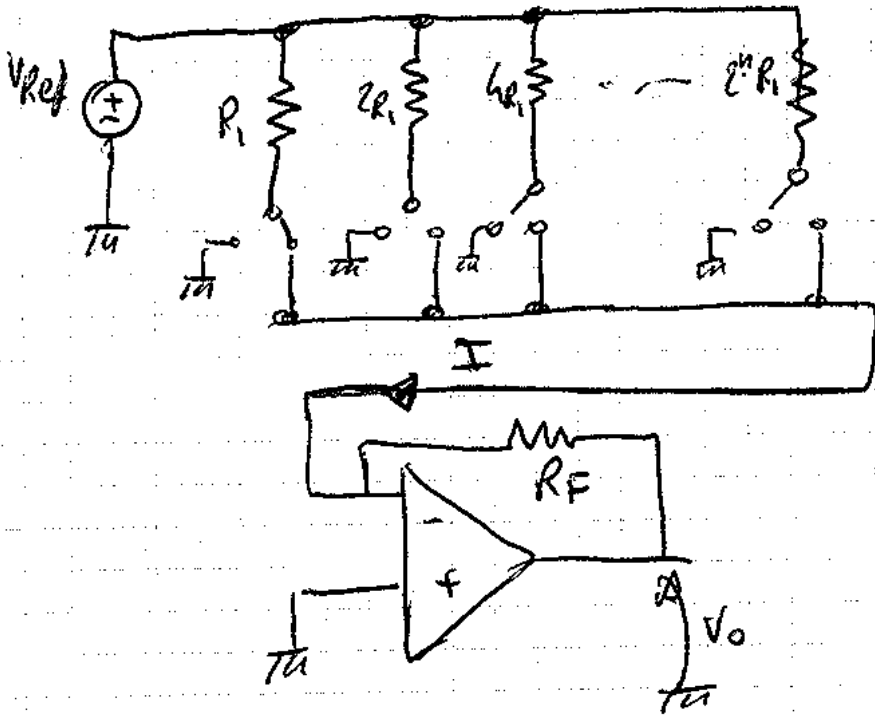
$$1 \text{ LSB} = \frac{V_{FS}}{2^n}$$

D/A



$$V_o = K V_{FS} (d_1 2^{-1} + \dots + d_n 2^{-n}) + V_{off}$$

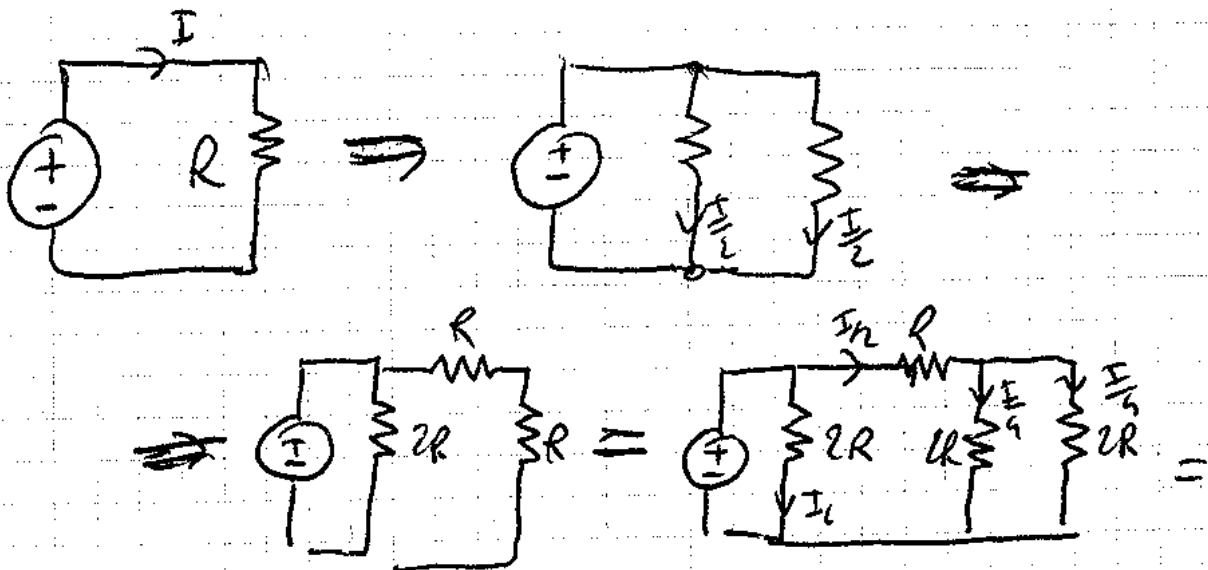
$$D = [d_1, \dots, d_n]$$



$$V_o = -R_f I$$

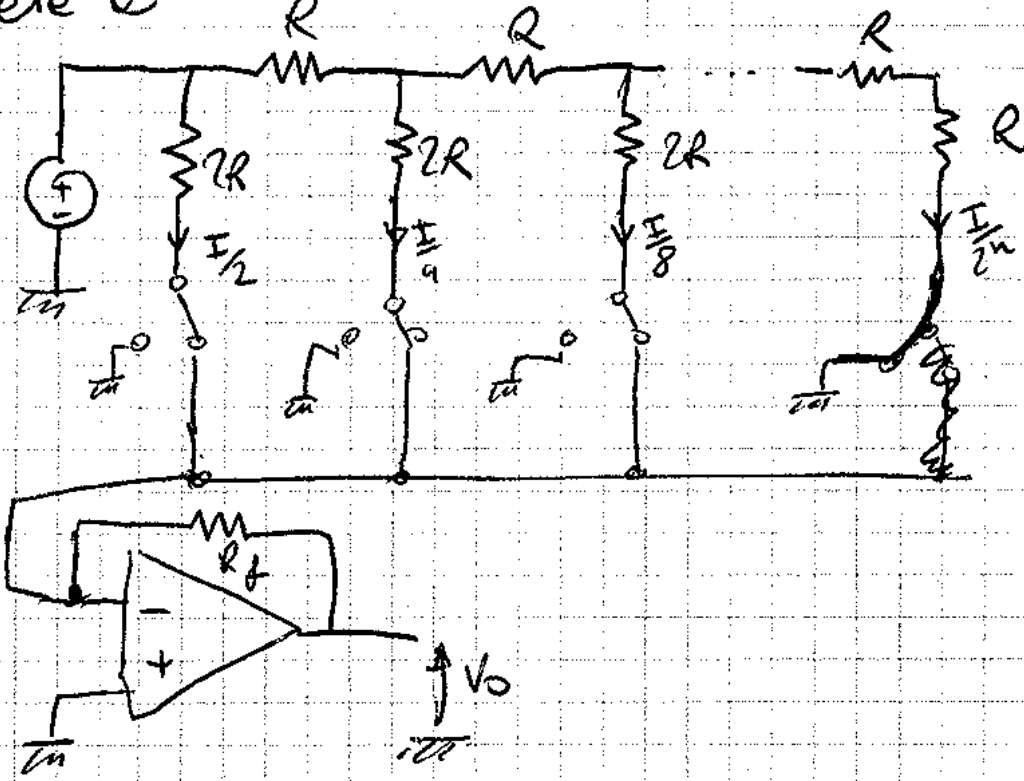
$$I = Q_1 \frac{V_{ref}}{R_1} + Q_2 \frac{V_{ref}}{2R_1} + \dots + Q_n \frac{V_{ref}}{2^n R_1}$$

$$V_o = -\frac{R_f V_{ref}}{R_1} \left[ Q_1 + \frac{Q_2}{2} + \dots + \frac{Q_n}{2^n} \right]$$

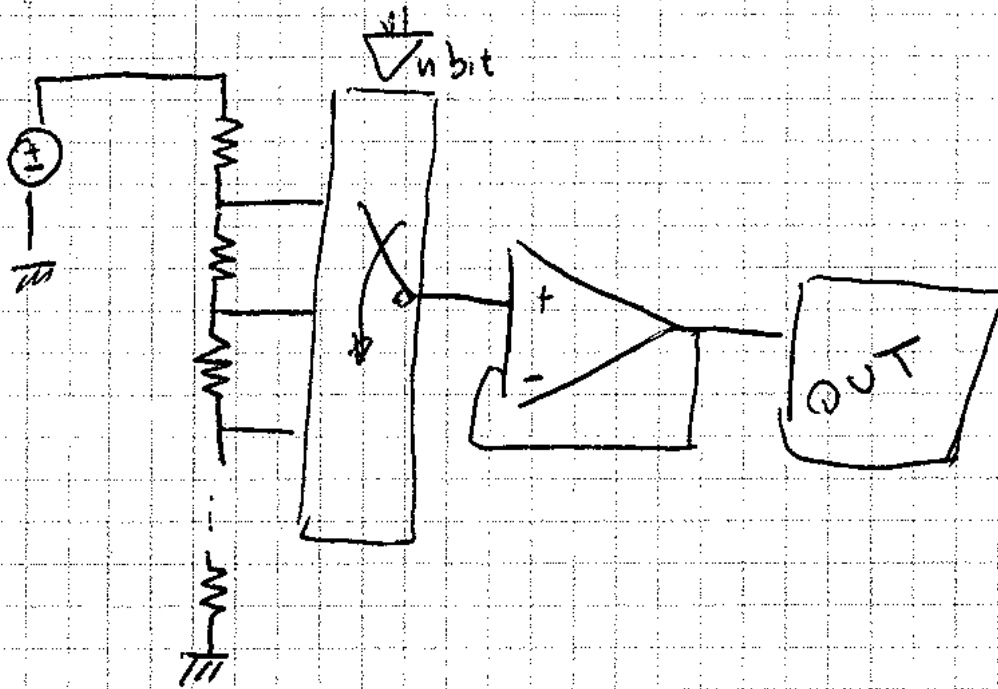


# Rete a scala R-2R

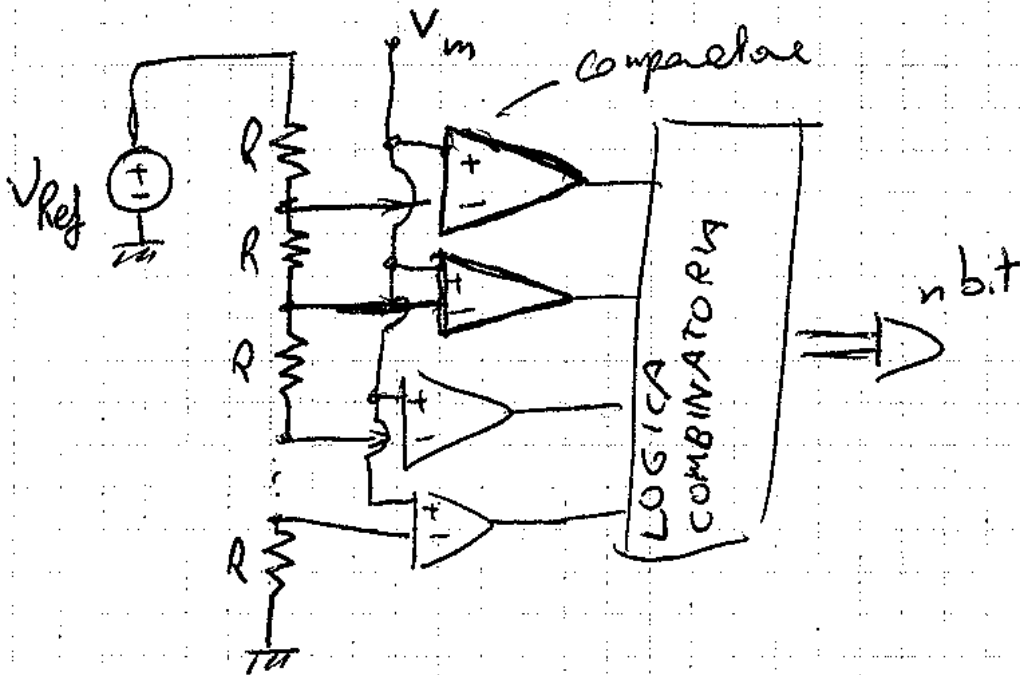
(67)



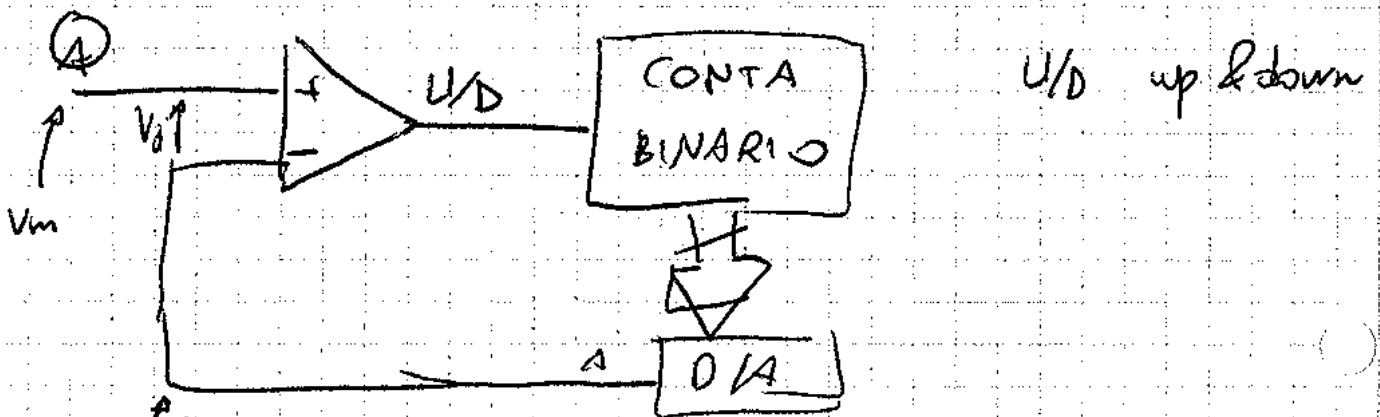
## D/A POTENZIMETRICO



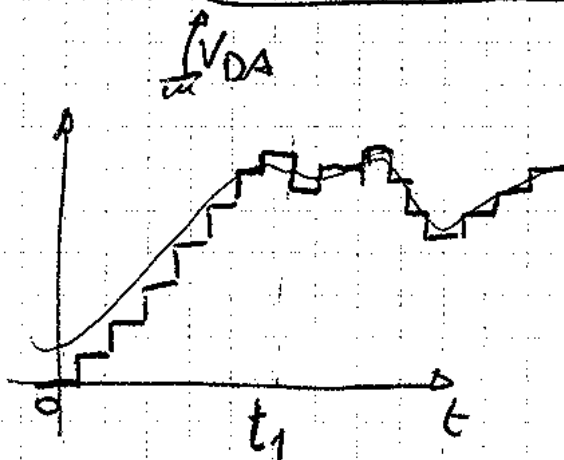
# CONVERTITORI A/D



## A/D a inseguimento



U/D up & down



potrebbe funzionare  
senza circuito S/H,  
invece se

$$\frac{dV_m}{dt} > \frac{1 \text{ LSB}}{T_{\text{acc}}} \quad \text{allora non}$$

è necessario un altro circuito, questo non è funzionante.

